

邏輯設計

一、招生班別：電機工程學系學士學分班

二、課程簡介：

課程簡介	本課程以基礎邏輯設計為主，包含布林代數、邏輯元件、組合邏輯電路、順序邏輯電路等主題；其中，順序邏輯部分除基本記憶單元、暫存器、計數器外，特別介紹以有限狀態機為基礎之分析與設計。藉由所規劃之內容講授外，修課同學可培養 FPGA, VLSI 等進階數位電路設計必要之基礎。
教學目標	本課程為微處理機、數位積體電路等之數位邏輯的基礎，主要在討論邏輯運算基本觀念、邏輯元件、組合邏輯與順序邏輯等。
教學方法	<input checked="" type="checkbox"/> 演講 <input checked="" type="checkbox"/> 問答 <input type="checkbox"/> 團體討論 <input type="checkbox"/> 分組討論 <input type="checkbox"/> 個案研討 <input type="checkbox"/> 示範 <input type="checkbox"/> 研習會 <input type="checkbox"/> 角色扮演 <input checked="" type="checkbox"/> 視聽教學 <input type="checkbox"/> 腦力激盪 <input type="checkbox"/> 活動教學 <input type="checkbox"/> 其他- _____
成績考核	平時成績 10% 筆記 10% 小考 20% 期中測驗 30% 期末測驗 30%
教科書	C.H Roth and L.L. Kinney, Fundamentals of Logic Design, Thomson Books/Cole, 7th, 2014.
參考書(講義)	Brock J. LaMeres, Introduction to Logic Circuits & Logic Design with Verilog, Springer, 2017.
教師簡介	林炫標／長庚大學電機系教授／國立交通大學光電工程博士

三、收費標準：1. 已錄取長庚大學準新生免收課程費用，惟學員需於課前繳交每門課程新臺幣 3,000 元保證金，將於課程結束且全程參與課程後退還，如學員本身為低收入戶、中低收入戶或家庭年所得 70 萬元以下者，免收保證金。

2. 非長庚大學準新生每學分每人 2,000 元，3 學分共 6,000 元

四、上課時間：111 年 7 月 4 日~111 年 8 月 31 日 每星期一 9:10~12:00、星期三 9:10~12:00

五、上課地點：長庚大學教室

六、授課大綱：

週次	上課日期	開始/結束 時間	時 數	授課大綱	授課教師
1	111/07/04	09:10~12:00	3hr	Unit 1: Number Systems Conversion;	林炫標

	111/07/06	09:10~12:00	3hr	Boolean Algebra; Minterm and Maxterm Expansions.	
2	111/07/11	09:10~12:00	3hr	Unit 2: Karnaugh Maps; Quine-McClusky Method; Unit 3: Multi-Level Gate Circuits NAND and NOR Gates; Combinational Circuit Design.	林炫標
	111/07/13	09:10~12:00	3hr		
3	111/07/18	09:10~12:00	3hr	Unit 4: Multiplexers, Decoders and Programmable Logic Devices; Introduction to VHDL. Midterm Exam. Unit 5: Latches and Flip-Flops; Registers and Counters.	林炫標
	111/07/20	09:10~12:00	3hr		
4	111/07/25	09:10~12:00	3hr	Unit 6: Analysis of Clocked Sequential Circuits; Unit 7: Derivation of State Graphs and Tables; Reduction of State Tables.	林炫標
	111/07/27	09:10~12:00	3hr		
5	111/08/01	09:10~12:00	3hr	Unit 8: Sequential Circuit Design using ROMs, PLAs and CPLDs.	林炫標
	111/08/03	09:10~12:00	3hr		
6	111/08/08	09:10~12:00	3hr	Unit 2: Karnaugh Maps; Quine-McClusky Method; Unit 3: Multi-Level Gate Circuits NAND and NOR Gates; Combinational Circuit Design.	林炫標
	111/08/10	09:10~12:00	3hr		
7	111/08/15	09:10~12:00	3hr	Unit 4: Multiplexers, Decoders and Programmable Logic Devices; Introduction to VHDL. Midterm Exam. Unit 5: Latches and Flip-Flops; Registers and Counters.	林炫標
	111/08/17	09:10~12:00	3hr		
8	111/08/22	09:10~12:00	3hr	Unit 6: Analysis of Clocked Sequential Circuits; Unit 7: Derivation of State Graphs and Tables; Reduction of State Tables.	林炫標
	111/08/24	09:10~12:00	3hr		
9	111/08/29	09:10~12:00	3hr	Unit 8: Sequential Circuit Design using ROMs, PLAs and CPLDs.	林炫標
	111/08/31	09:10~12:00	3hr		

※以上師資與課程內容時間場地等僅供參考，若有異動以各系所公告為主。